

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Masayuki Hira, et al.

Serial No: TBD

Filed: Herewith

For: Semiconductor Storage Device

TIJ-34548

Art Unit: TBD

Examiner: TBD

**TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C. §119**

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-216855, filed on July 25, 2002, in the Japanese Patent Office and from which priority under 35 U.S.C. §119 is claimed for the above-identified application.

Respectfully submitted,



Alan K. Stewart
Attorney for Applicants
Reg. No. 35,373

Texas Instruments Incorporated
P.O. Box 655474, MS 3999
Dallas, TX 75265
(972) 917-5466

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月25日

出 願 番 号

Application Number:

特願2002-216855

[ST.10/C]:

[JP 2002-216855]

出 願 人

Applicant(s):

日本テキサス・インスツルメンツ株式会社

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3048539

イイ-34549 (2003.6.20)

【書類名】 特許願

【整理番号】 020090

【提出日】 平成14年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/06

【発明の名称】 半導体記憶装置

【請求項の数】 8

【発明者】

【住所又は居所】 茨城県つくば市御幸が丘17番地 日本テキサス・イン
スツルメンツ株式会社内

【氏名】 平 雅之

【発明者】

【住所又は居所】 茨城県つくば市御幸が丘17番地 日本テキサス・イン
スツルメンツ株式会社内

【氏名】 松澤 尊広

【発明者】

【住所又は居所】 茨城県つくば市御幸が丘17番地 日本テキサス・イン
スツルメンツ株式会社内

【氏名】 斎藤 賢孝

【発明者】

【住所又は居所】 茨城県つくば市御幸が丘17番地 日本テキサス・イン
スツルメンツ株式会社内

【氏名】 竹尾 啓亮

【特許出願人】

【識別番号】 390020248

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102925

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 制御信号に応じて活性化されて第 1 のノードと第 2 のノードとの電位差を増幅する増幅回路と、

一方のビット線と上記第 1 のノードとの間に接続され、上記増幅回路の活性化後に遮断状態に制御される第 1 のスイッチ回路と、

他方のビット線と上記第 2 のノードとの間に接続され、上記増幅回路の活性化後に遮断状態に制御される第 2 のスイッチ回路と、

を有する半導体記憶装置。

【請求項 2】 上記制御信号に所定の遅延時間を与えて出力する遅延回路を有し、上記遅延回路の出力信号によって上記第 1 のスイッチ回路と上記第 2 のスイッチ回路とが遮断状態に制御される

請求項 1 に記載の半導体記憶装置。

【請求項 3】 上記第 1 のスイッチ回路と上記第 2 のスイッチ回路とが互いに並列に接続された p 型 MOS トランジスタと n 型 MOS トランジスタとを有し、上記 p 型 MOS トランジスタと上記 n 型 MOS トランジスタとが同時に遮断状態に制御される

請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】 上記増幅回路が、上記第 2 のノードと上記第 1 のノードとの間に接続された第 1 の反転回路と、上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 の反転回路と、上記制御信号に応答して上記第 1 の反転回路と上記第 2 の反転回路とを電源に接続するスイッチング素子とを有する

請求項 1、2 又は 3 に記載の半導体記憶装置。

【請求項 5】 上記一方のビット線と上記他方のビット線とに接続され、上記一方のビット線と上記他方のビット線とを所定の電位に充電するための第 1 の充電回路を有する

請求項 1、2、3 又は 4 に記載の半導体記憶装置。

【請求項 6】 上記第 1 のノードと上記第 2 のノードとに接続され、上記第

1 のノードと上記第 2 のノードとを所定の電位に充電するための第 2 の充電回路を有する

請求項 5 に記載の半導体記憶装置。

【請求項 7】 上記増幅回路の活性化に先立って上記第 1 の充電回路と上記第 2 の充電回路の充電動作が終了する

請求項 6 に記載の半導体記憶装置。

【請求項 8】 上記一方のビット線に接続された第 1 のデータ書込回路と、上記他方のビット線に接続された第 2 のデータ書込回路とを有する

請求項 6 又は 7 に記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、記憶装置のビット線に出力される読み出し信号を増幅するセンス増幅器、ビット線の信号を処理するビット線回路、記憶装置、およびビット線に出力される読み出し信号を増幅する方法に係り、特に、閉じ込め式のセンス増幅器とこれを含んだビット線回路および記憶装置、ならびに閉じ込め式のセンス増幅器を用いた読み出し信号増幅方法に関するものである。

【 0 0 0 2 】

【従来の技術】

一般的に、RAM等のメモリセルに記憶されたデータが伝送されるビット線には、書き込みや読み出しの前に一定の電圧（プリチャージ電圧）が印加される。プリチャージ電圧の印加によってビット線の容量成分に充電された電荷は、書き込み動作や読み出し動作の過程で放電され、この放電により生じるビット線の電圧降下書き込み信号や読み出し信号としてメモリセルに対するアクセスに用いられる。

【 0 0 0 3 】

メモリの記憶容量は近年ますます大きくなっており、書き込みや読み出しに伴うビット線の充放電によって発生する電力損失は、大容量メモリの低消費電力化を阻む大きな要因となっている。

こうした電力損失を抑えるには、ビット線の充放電による電圧振幅をできるだけ小さくすることが必要である。特に、読み出し時におけるビット線の放電電流を抑えることができる技術として、閉じ込め式のセンス増幅器 (sense amplifier) が知られている。

【 0 0 0 4 】

図 6 は、一般的な閉じ込め式のセンス増幅器の構成を示す概略的なブロック図である。

図 6 において、p 型 MOS トランジスタ Q_{p3} 、p 型 MOS トランジスタ Q_{p4} 、および n 型 MOS トランジスタ Q_{n1} ~ n 型 MOS トランジスタ Q_{n3} は一般的なセンス増幅器を構成しており、このセンス増幅器の入力が p 型 MOS トランジスタ Q_{p1} および p 型 MOS トランジスタ Q_{p2} を介してビット線対 (BL, BLZ) に接続される。

【 0 0 0 5 】

p 型 MOS トランジスタ Q_{p3} および n 型 MOS トランジスタ Q_{n1} は、ノード SA を接続中点として互いに直列接続され、ゲートは共にノード SAZ に接続される。

p 型 MOS トランジスタ Q_{p4} および n 型 MOS トランジスタ Q_{n2} は、ノード SAZ を接続中点として互いに直列接続され、ゲートは共にノード SA に接続される。

p 型 MOS トランジスタ Q_{p3} および p 型 MOS トランジスタ Q_{p4} のソースは、電源ライン Vcc に接続される。n 型 MOS トランジスタ Q_{n1} および n 型 MOS トランジスタ Q_{n2} のソースは、n 型 MOS トランジスタ Q_{n3} を介して接地ライン G に接続される。

【 0 0 0 6 】

ノード SA は、p 型 MOS トランジスタ Q_{p1} を介してビット線 BL に接続される。ノード SAZ は、p 型 MOS トランジスタ Q_{p2} を介してビット線 BLZ に接続される。

p 型 MOS トランジスタ Q_{p1} 、p 型 MOS トランジスタ Q_{p2} 、および n 型 MOS トランジスタ Q_{n3} のゲートには、センス制御信号 ENN が入力される。

【 0 0 0 7 】

このような構成の閉じ込め式センスアップにおいては、まず、ビット線対（B L， B L Z）にメモリセルからの読み出し信号が出力された状態でセンス制御信号 E N N がローレベルに設定される。これにより、 p 型 M O S トランジスタ Q p 1 および p 型 M O S トランジスタ Q p 2 が導通状態、 n 型 M O S トランジスタ Q n 3 が非導通状態になる。このとき、ノード S A およびノード S A Z にはビット線対（B L， B L Z）からの読み出し信号が入力されるが、 n 型 M O S トランジスタ Q n 3 が非導通状態であるため、ビット線対（B L， B L Z）から接地ライン G への放電電流は流れない。

【 0 0 0 8 】

次に、センス制御信号 E N N がローレベルからハイレベルに設定されると、 n 型 M O S トランジスタ Q n 3 が非導通状態から導通状態に変化し、 p 型 M O S トランジスタ Q p 3、 p 型 M O S トランジスタ Q p 4、 n 型 M O S トランジスタ Q n 1 および n 型 M O S トランジスタ Q n 2 からなる増幅回路に電源が供給される。これにより、ノード S A とノード S A Z との間の僅かな電位差が増幅されて、ノード S A およびノード S A Z の何れか一方がハイレベルに引き上げられ、他方がローレベルに引き下げられるとともに、その信号レベルが保持される。このとき、同時に p 型 M O S トランジスタ Q p 1 および p 型 M O S トランジスタ Q p 2 は導通状態から非導通状態に変化するので、ビット線対（B L， B L Z）からノード S A およびノード S A Z に流れる放電電流が抑えられる。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、図 6 に示す閉じ込め式のセンス増幅器では、ビット線対（B L， B L Z）から切り離された後に残るノード S A およびノード S A Z の微小な電荷量の違いを利用して読み出し信号の増幅が行われるため、読み出し信号の検出に失敗し易い問題がある。

【 0 0 1 0 】

図 7 は、図 6 に示すセンス増幅器におけるノード S A およびノード S A Z の信号の変化を示す図である。

メモリセルのワード線WLが活性化されると（図7A）、そのビット線対（BL, BLZ）に接続されたノードSAおよびノードSAZには、記憶データに応じた電圧差が発生する。図7Bの例では、ノードSAのレベルがノードSAZのレベルより高くなる。この状態で、時刻t1にセンス制御信号ENNがハイレベルになると（図7C）、ノードSAおよびノードSAZの電圧差が増幅されて、正常な動作では図7Bの実線に示すようにノードSAがハイレベル、ノードSAZがローレベルに変化する。

【0011】

ところが、電圧差の増幅が開始される前の期間においてp型MOSトランジスタQp1およびp型MOSトランジスタQp2のインピーダンスが上昇すると、ノードSAおよびノードSAZはフローティング状態になるため、これらの電位はn型MOSトランジスタQn3の導通とともに接地レベルへ引き下げられる。このとき、センス増幅器を構成するトランジスタの容量成分やしきい値などの特性にばらつきがあると、ノードSAとノードSAZの電位が逆転してしまう可能性があり、その結果、図7Bの点線に示すように誤った読み出し信号が検出されてしまう問題が生ずる。

【0012】

低消費電力化を図る技術として閉じ込め式のセンス増幅器は有用であるが、電源電圧の低電圧化によってセンス増幅器の入力電圧は小さくなる傾向にあるため、上述のような検出誤りの発生確率がさらに上昇してしまう問題がある。

【0013】

本発明はかかる事情に鑑みてなされたものであり、その目的は、読み出し信号の検出誤りを低減できるセンス増幅器と、そのようなセンス増幅器を有したビット線回路および記憶装置を提供することにある。

また、本発明の他の目的は、読み出し信号の検出誤りを低減できる読み出し信号の増幅方法を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体記憶装置は、制御信号に応じて活

性化されて第 1 のノードと第 2 のノードとの電位差を増幅する増幅回路と、一方のビット線と上記第 1 のノードとの間に接続され、上記増幅回路の活性化後に遮断状態に制御される第 1 のスイッチ回路と、他方のビット線と上記第 2 のノードとの間に接続され、上記増幅回路の活性化後に遮断状態に制御される第 2 のスイッチ回路とを有する。

【 0 0 1 5 】

本発明の半導体記憶装置によれば、一方のビット線と他方のビット線とで構成されるビット線対と増幅回路とが第 1 のスイッチ回路と第 2 のスイッチ回路を介して接続された状態で制御信号に応じて増幅回路が活性化され、第 1 のノードと第 2 のノードとにビット線対から第 1 のスイッチ回路と第 2 のスイッチ回路を介して入力される信号が増幅される。増幅回路による増幅が開始されてから所定の時間が経過した時点で第 1 のスイッチ回路と第 2 のスイッチ回路とが遮断状態に制御され、ビット線対と増幅回路との接続が開放される。

【 0 0 1 6 】

また、上記第 1 のスイッチ回路と上記第 2 のスイッチ回路とが互いに並列に接続された p 型 MOS トランジスタと n 型 MOS トランジスタとを有し、上記 p 型 MOS トランジスタと上記 n 型 MOS トランジスタとが同時に遮断状態に制御される構成としてもよい。

これにより、p 型 MOS トランジスタと n 型 MOS トランジスタのゲート端子に印加される信号が互いに逆の論理レベルに変化するので、これらの信号によるノイズ成分が打ち消される。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の 2 つの実施形態について説明する。

<第 1 の実施形態>

図 1 は、本発明の第 1 の実施形態に係るセンス増幅器の構成例を示す概略的なブロック図である。

図 1 に示すセンス増幅器は、p 型 MOS トランジスタ Q p 1 1 ~ p 型 MOS トランジスタ Q p 1 4、n 型 MOS トランジスタの Q n 1 1 ~ n 型 MOS トランジスタ

Q n 1 5、および遅延回路 U 1 を有する。

p 型 MOS トランジスタ Q p 1 1、n 型 MOS トランジスタ Q n 1 1、p 型 MOS トランジスタ Q p 1 2 および n 型 MOS トランジスタ Q n 1 2 を含むユニットは、本発明のスイッチ回路の一実施形態である。

p 型 MOS トランジスタ Q p 1 3、p 型 MOS トランジスタ Q p 1 4、n 型 MOS トランジスタ Q n 1 3 ~ n 型 MOS トランジスタ Q n 1 5 を含むユニットは、本発明の増幅回路の一実施形態である。

遅延回路 U 1 は、本発明の遅延回路の一実施形態である。

【 0 0 1 8 】

まず、図 1 に示すセンス増幅器の接続関係について説明する。

p 型 MOS トランジスタ Q p 1 3 および n 型 MOS トランジスタ Q n 1 3 は、ノード S A を接続中点として互いに直列接続され、ゲートは共にノード S A Z に接続される。

p 型 MOS トランジスタ Q p 1 4 および n 型 MOS トランジスタ Q n 1 4 は、ノード S A Z を接続中点として互いに直列接続され、ゲートは共にノード S A に接続される。

p 型 MOS トランジスタ Q p 1 3 および p 型 MOS トランジスタ Q p 1 4 のソースは、電源ライン V c c に接続される。n 型 MOS トランジスタ Q n 1 3 および n 型 MOS トランジスタ Q n 1 4 のソースは、n 型 MOS トランジスタ Q n 1 5 を介して接地ライン G に接続される。

【 0 0 1 9 】

ノード S A は、p 型 MOS トランジスタ Q p 1 1 と n 型 MOS トランジスタ Q n 1 1 との並列回路を介してビット線 B L に接続される。ノード S A Z は、p 型 MOS トランジスタ Q p 1 2 と n 型 MOS トランジスタ Q n 1 2 との並列回路を介してビット線 B L Z に接続される。

p 型 MOS トランジスタ Q p 1 1 および p 型 MOS トランジスタ Q p 1 2 のゲートには、遅延回路 U 1 から出力される制御信号 G E N 1 が入力される。n 型 MOS トランジスタ Q n 1 1 および n 型 MOS トランジスタ Q n 1 2 のゲートには、遅延回路 U 1 から出力される制御信号 G E N 2 が入力される。

遅延回路U 1 および n 型 MOS トランジスタ Q n 1 5 のゲートには、センス制御信号 E N N が入力される。

【 0 0 2 0 】

遅延回路U 1 は、センス制御信号 E N N に一定の遅延を与えた信号として、制御信号 G E N 1 および制御信号 G E N 2 を出力する。ただし、制御信号 G E N 1 はセンス制御信号 E N N と同一論理の信号であり、制御信号 G E N 2 はセンス制御信号 E N N の論理を反転させた信号である。

【 0 0 2 1 】

次に、上述した構成を有する図 1 のセンス増幅器の動作を説明する。

図 2 は、図 1 に示すセンス増幅器におけるノード S A およびノード S A Z の信号の変化を説明するための図である。

センス増幅器が動作する前において、センス制御信号 E N N はローレベルとなっており、p 型 MOS トランジスタ Q p 1 1 および p 型 MOS トランジスタ Q p 1 2 のゲートにはローレベル、n 型 MOS トランジスタ Q n 1 1 および n 型 MOS トランジスタ Q n 1 2 のゲートにはハイレベルの信号が入力されて、これらのトランジスタは何れも導通状態となっている。したがって、ノード S A はビット線 B L と、ノード S A Z はビット線 B L Z と接続された状態になっている。

【 0 0 2 2 】

時刻 t a においてメモリセルのワード線 W L が活性化されると（図 2 A）、そのビット線対（B L, B L Z）にはメモリセルからの読み出し信号が出力される。これにより、ビット線対（B L, B L Z）に接続されたノード S A とノード S A Z との間に電位差が生じる。図 2 B の例では、ノード S A のレベルがノード S A Z のレベルより高くなる。

【 0 0 2 3 】

時刻 t a においてセンス制御信号 E N N がローレベルからハイレベルになると、n 型 MOS トランジスタ Q n 1 5 が導通状態となって増幅動作が開始され、ノード S A とノード S A Z との間の電位差が増幅され始める。この時、遅延回路 U 1 から出力される制御信号 G E N 1 はローレベル、制御信号 G E N 2 はハイレベルのままなので、ノード S A とビット線 B L、ノード S A Z とビット線 B L Z は

何れもまだ接続された状態にある。すなわち、この時点でノードSAおよびノードSAZはビット線対(BL, BLZ)を介してメモリセルと低インピーダンスで接続された状態にあるので、図7に示すようなノードSAおよびノードSAZの電圧降下は発生せず、ノードSAとノードSAZとの電位関係が保持される。このように電位関係が保たれた状態で増幅動作が進行し、ノードSAとノードSAZとの電位差が増大する。

【0024】

時刻 t_a から一定の遅延時間が経過した時刻 t_c において、遅延回路U1の出力が変化し、p型MOSトランジスタQp11、p型MOSトランジスタQp12、n型MOSトランジスタQn11およびn型MOSトランジスタQn12が非導通状態になる。これにより、ノードSAおよびノードSAZはビット線対(BL, BLZ)と切り離された状態になるが、この時点において増幅動作は十分に進行しており、ノードSAとノードSAZとの電位差が大きくなっているので、切り離しによるノード電位の変動はほとんど生じない。

【0025】

このように、図1に示すセンス増幅器によれば、ビット線対(BL, BLZ)からの読み出し信号を増幅回路(Qp13, Qn13, Qp14, Qn14, Qn15)に入力した状態で、先に増幅回路における増幅動作を開始させてから、所定の遅延時間が経過した後で増幅回路とビット線対との接続を開放するので、増幅回路とビット線対とが切り離される前に、ノードSAとノードSAZとの電位関係を保持させながら増幅動作を進行させることができる。したがって、センス増幅器を構成するトランジスタの容量成分やしきい値などの特性のばらつきによる影響が緩和され、正確な読み出し信号の検出を行うことができる。また、一定の遅延時間が経過した後に増幅回路とメモリセルとが切り離されるので、メモリセルから増幅回路への定常的な電流が阻止され、消費電力を低減することができる。

【0026】

また、図1に示すセンス増幅器によれば、p型MOSトランジスタとn型MOSトランジスタとが並列に接続されたスイッチ回路によってビット線と増幅回路

とが接続されている。これらのトランジスタを駆動する制御信号 G E N 1 および制御信号 G E N 2 は互いに逆相の関係にあるため、トランジスタの寄生容量を介してノード S A およびノード S A Z に混入する制御信号 G E N 1 および制御信号 G E N 2 のノイズ成分は互いに極性が逆になる。すなわち、制御信号 G E N 1 および制御信号 G E N 2 によるノイズ成分が打ち消しあうため、ノイズ成分の混入が低減され、より正確な読み出し信号の検出を行うことができる。

【 0 0 2 7 】

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態について説明する。

第 2 の実施形態では、第 1 の実施形態に係るセンス増幅器を適用した記憶装置が実現される。

【 0 0 2 8 】

図 3 は、本発明の第 2 の実施形態に係る記憶装置の構成例を示す概略的なブロック図である。

図 3 に示す記憶装置は、メモリセル・アレイ 1 0、アドレス・デコーダ 2 0、ビット線信号処理部 3 0、データ入出力回路 4 0、および制御回路 5 0 を有する S R A M である。

【 0 0 2 9 】

メモリセル・アレイ 1 0 は、複数のワード線 W L および複数のビット線対 (B L , B L Z) に接続された複数のメモリセルを有しており、各メモリセルは、ワード線 W L が活性化されることによってビット線対 (B L , B L Z) からのアクセスが可能になる。

アドレス・デコーダ 2 0 は、入力されるアドレス・データ A D に応じて、複数のワード線 W L のうちの何れかを活性化させる。

【 0 0 3 0 】

ビット線信号処理部 3 0 は、それぞれのビット線対 (B L , B L Z) に対するプリチャージ電圧の印加や、読み出し信号の増幅、書き込み信号の入力など、ビット線対 (B L , B L Z) に関する信号の処理を行うユニットである。

このビット線信号処理部 3 0 は、それぞれのビット線対 (B L , B L Z) に対

応して、図 1 と同様な閉じ込め式のセンス増幅器を含んだ複数のビット線回路を含む。

【 0 0 3 1 】

データ入出力部 4 0 は、書き込み動作時において、図示しないデータバスから入力される書き込みデータを、内部のラッチ回路に保持させるとともにビット線回路へ出力する。読み出し動作時においては、ビット線回路から出力される読み出しデータを内部のラッチ回路に保持させるとともにデータバスへ出力する。

制御回路 5 0 は、入力される制御信号に応じてアドレス・デコーダ 2 0 やビット線回路、データ入出力回路 4 0 を制御し、書き込み動作や読み出し動作を実行させる。

【 0 0 3 2 】

図 4 は、図 3 のビット線信号処理部 3 0 に含まれるビット線回路の構成例を示す概略的なブロック図である。

図 4 に示すビット線回路は、p 型 MOS トランジスタ Q_{p11} ～ p 型 MOS トランジスタ Q_{p20} 、n 型 MOS トランジスタ Q_{n11} ～ n 型 MOS トランジスタ Q_{n17} 、インバータ回路 $INV1$ ～ インバータ回路 $INV3$ 、抵抗 $R1$ ～ 抵抗 $R4$ 、バッファ回路 $BUF1$ ～ バッファ回路 $BUF4$ 、および NAND 回路 $U2$ を有する。

ただし、図 4 と図 1 の同一符号は同一の構成要素を示す。

また、図 4 において、インバータ回路 $INV1$ 、インバータ回路 $INV2$ およびバッファ回路 $BUF2$ を含むユニットは、本発明の遅延回路の一実施形態である。

p 型 MOS トランジスタ Q_{p18} ～ p 型 MOS トランジスタ Q_{p20} を含むユニットは、本発明の第 1 の充電回路の一実施形態である。

p 型 MOS トランジスタ Q_{p15} ～ p 型 MOS トランジスタ Q_{p17} を含むユニットは、本発明の第 2 の充電回路の一実施形態である。

【 0 0 3 3 】

まず、図 4 に示すビット線回路の接続関係について説明する。

ただし、p 型 MOS トランジスタ Q_{p11} ～ p 型 MOS トランジスタ Q_{p14}

およびn型MOSトランジスタQ n 1 1～n型MOSトランジスタQ n 1 5に関する接続は図1のセンス増幅器と同様なので説明を割愛する。

ノードSAは、p型MOSトランジスタQ p 1 6を介して電源ラインV c cと接続され、ノードSAZは、p型MOSトランジスタQ p 1 7を介して電源ラインV c cと接続される。また、ノードSAとノードSAZとの間には、p型MOSトランジスタQ p 1 5が接続される。

ビット線BLは、p型MOSトランジスタQ p 1 9を介して電源ラインV c cと接続され、ビット線BLZは、p型MOSトランジスタQ p 2 0を介して電源ラインV c cと接続される。また、ビット線BLとビット線BLZとの間には、p型MOSトランジスタQ p 1 8が接続される。

【0034】

データ入出力回路40から入力される書き込み信号WDは、バッファ回路B U F 3および抵抗R 1を介してn型MOSトランジスタQ n 1 6のゲートに入力される。n型MOSトランジスタQ n 1 6は、ビット線BLと接地ラインGとの間に接続される。n型MOSトランジスタQ n 1 6とp型MOSトランジスタQ p 1 9との間のビット線BL上には、抵抗R 2が挿入される。

データ入出力回路40から入力される書き込み信号WDZは、書き込み信号WDの論理が反転された信号であり、バッファ回路B U F 4および抵抗R 4を介してn型MOSトランジスタQ n 1 7のゲートに入力される。n型MOSトランジスタQ n 1 7は、ビット線BLZと接地ラインGとの間に接続される。n型MOSトランジスタQ n 1 7とp型MOSトランジスタQ p 2 0との間のビット線BLZ上には、抵抗R 3が挿入される。

【0035】

バッファ回路B U F 1の入力にはセンス制御信号E N Nが入力され、その出力信号はn型MOSトランジスタQ n 1 5のゲートおよびインバータ回路I N V 1に入力される。

インバータ回路I N V 1の出力信号は、インバータ回路I N V 2、バッファ回路B U F 2およびNAND回路U 2の一方の入力に入力される。

インバータ回路I N V 2から出力される制御信号G E N 1は、p型MOSトラ

ンジスタQ p 1 1 および p 型MOS トランジスタQ p 1 2 のゲートに入力される。
。バッファ回路B U F 2 から出力される制御信号G E N 2 は、n 型MOS トランジスタQ n 1 1 および n 型MOS トランジスタQ n 1 2 のゲートに入力される。

【 0 0 3 6 】

N A N D 回路U 2 の他方の入力にはプリチャージ制御信号P R E が入力され、その出力信号P R E 2 は p 型MOS トランジスタQ p 1 5 ～ p 型MOS トランジスタQ p 1 7 のゲートに入力される。

また、プリチャージ制御信号P R E はインバータ回路I N V 3 にも入力され、その出力信号P R E 1 は p 型MOS トランジスタQ p 1 8 ～ p 型MOS トランジスタQ p 2 0 のゲートに入力される。

【 0 0 3 7 】

次に、上述した図 3 および図 4 において示す記憶装置の動作を説明する。

データの書き込みが行われる場合、制御回路 5 0 によりプリチャージ制御信号P R E はローレベルが設定され、p 型MOS トランジスタQ p 1 8 ～ p 型MOS トランジスタQ p 2 0 は非導通状態にされる。この状態において、書き込み対象のメモリセルに接続されたワード線が活性化され、その書き込みデータに応じて書き込み信号W D または書き込み信号W D Z の何れか一方がハイレベルになる。これにより、n 型MOS トランジスタQ n 1 6 または n 型MOS トランジスタQ n 1 7 の何れか一方が導通状態となり、ビット線B L またはビット線B L Z の何れか一方が接地ラインG に短絡されて、この信号レベルの状態がメモリセルに保持される。

【 0 0 3 8 】

図 5 は、読み出し動作時における図 4 に示したビット線回路の信号波形の一例を示す図である。

読み出し動作の前において、制御回路 5 0 によりプリチャージ制御信号P R E がハイレベル、センス制御信号E N N がローレベルに設定され、制御信号P R E 1 および制御信号P R E 2 は何れもローレベルになる（図 5 D、図 5 E）。これにより、p 型MOS トランジスタQ p 1 5 ～ p 型MOS トランジスタQ p 2 0 が導通状態となって、ノードS A およびノードS A Z、ならびにビット線対（B L

、B L Z) が電源ライン V c c までプリチャージされる (図 5 B、図 5 C)。

【 0 0 3 9 】

またこのとき、センス制御信号 E N N はローレベルとなっており、p 型 M O S トランジスタ Q p 1 1 および p 型 M O S トランジスタ Q p 1 2 のゲートにはローレベル、n 型 M O S トランジスタ Q n 1 1 および n 型 M O S トランジスタ Q n 1 2 のゲートにはハイレベルの信号が入力されて、これらのトランジスタは何れも導通状態となっている。したがって、ノード S A はビット線 B L と、ノード S A Z はビット線 B L Z と接続された状態になっている。

【 0 0 4 0 】

時刻 t 1 1 において、プリチャージ制御信号 P R E がハイレベルからローレベルに変化すると、制御信号 P R E 1 および制御信号 P R E 2 がハイレベルとなり、p 型 M O S トランジスタ Q p 1 5 ~ p 型 M O S トランジスタ Q p 2 0 が非導通状態となる。

時刻 t 1 2 において、読み出し対象のメモリセルに接続されたワード線 W L が活性化されると、そのビット線対 (B L, B L Z) には記憶データに応じた電圧差が発生する (図 5 B)。また、ビット線対 (B L, B L Z) と接続されたノード S A およびノード S A Z にも電圧差が発生する (図 5 C)。

【 0 0 4 1 】

時刻 t 1 3 において、センス制御信号 E N N がハイレベルに設定されると (図 5 F)、n 型 M O S トランジスタ Q n 1 5 が導通状態となって増幅動作が開始され、ノード S A とノード S A Z との間の電位差が増幅され始める。この時、インバータ回路 I N V 2 から出力される制御信号 G E N 1 は、インバータ回路 I N V 1 およびインバータ回路 I N V 2 による遅延のために未だローレベル状態のまま変化せず (図 5 G)、制御信号 G E N 2 についてもインバータ回路 I N V 1 およびバッファ回路 B U F 2 による遅延のためにハイレベルのままなので、ノード S A とビット線 B L、ノード S A Z とビット線 B L Z は何れも接続されたままの状態にある。すなわち、この時点でノード S A およびノード S A Z はビット線対 (B L, B L Z) を介してメモリセルと低インピーダンスで接続された状態にあるので、ノード S A とノード S A Z の電圧降下は発生せず、その電位関係が保持さ

れる。このように電位関係が保たれた状態で増幅動作が進行し、ノードSAとノードSAZとの電位差が増大する。

【 0 0 4 2 】

時刻 t_{13} から一定の遅延時間が経過した時刻 t_{14} において、制御信号 GEN_1 がハイレベル、制御信号 GEN_2 がローレベルに変化し、p型MOSトランジスタ Q_{p11} 、p型MOSトランジスタ Q_{p12} 、n型MOSトランジスタ Q_{n11} および n型MOSトランジスタ Q_{n12} が非導通状態になる。これにより、ノードSAおよびノードSAZはビット線対 (BL, BLZ) と切り離された状態になる。ただし、この時点において増幅動作は十分に進行しており、ノードSAとノードSAZとの電位差が大きくなっているため、切り離しによるノード電位の変動はほとんど生じない。

この後、ノードSAとノードSAZとの電位差としてセンス増幅器から出力される読み出し信号は、データ入出力部40の図示しないラッチ回路に保持される。

【 0 0 4 3 】

読み出し信号がデータ入出力部40に保持され、ワード線が再び非活性状態に戻った後 (図5A)、プリチャージ制御信号PREがローレベルからハイレベルに設定される。これにより、時刻 t_{15} において、制御信号PRE1がハイレベルからローレベルに変化して、ビット線対 (BL, BLZ) が再び電源ラインVccまでプリチャージされる (図5B)。

【 0 0 4 4 】

時刻 t_{16} において、センス制御信号ENNがローレベルに設定されると、n型MOSトランジスタ Q_{n15} が非導通状態になり、ノードSAおよびノードSAZは電源ラインVccおよび接地ラインGの何れからも切り離されたフローティング状態になる。

時刻 t_{16} から一定の遅延時間が経過した時刻 t_{17} において、制御信号PRE2がハイレベルからローレベルに変化し、ノードSAおよびノードSAZは再び電源ラインVccまでプリチャージされる。また、時刻 t_{16} から一定の遅延時間が経過した後 (図5の例では時刻 t_{17})、制御信号 GEN_1 がローレベル

、制御信号 G E N 2 がハイレベルに変化し、ノード S A およびノード S A Z がビット線対 (B L , B L Z) 接続される。この時点において、既に増幅回路 (Q p 1 3 , Q n 1 3 , Q p 1 4 , Q n 1 4 , Q n 1 5) の動作は停止されており、ノード S A およびノード S A Z はフローティング状態になっているので、電源ライン V c c からノード S A およびノード S A Z を介して接地ライン G に貫通電流が流れることはない。

【 0 0 4 5 】

このように、図 3 および図 4 に示す記憶装置によれば、図 1 と同様なセンス増幅器がビット線回路に含まれていることから、センス増幅器を構成するトランジスタの容量成分やしきい値などの特性のばらつきによる影響が緩和され、正確な読み出し信号の検出を行うことができる。また、一定の遅延時間が経過した後に増幅回路とメモリセルとが切り離されるので、メモリセルから増幅回路への定常的な電流が阻止され、消費電力を低減することができる。加えて、制御信号 G E N 1 および制御信号 G E N 2 によるノイズ成分が打ち消しあうため、ノード S A およびノード S A Z に対するこれらの制御信号からのノイズ成分の混入が低減され、より正確な読み出し信号の検出を行うことができる。

【 0 0 4 6 】

さらに、センス増幅器のセンシング動作と閉じ込め動作との時間差を決定する遅延回路 (I N V 1 , I N V 2 , B U F 2) は、各ビット線回路のセンス増幅器において個別に設けられているので、トランジスタの特性のばらつきによる影響や、配線の引き回しによる遅延の影響が緩和され、微妙な時間差を安定して作ることができる。

【 0 0 4 7 】

なお、本発明は上述した実施形態に限定されない。

例えば、遅延回路を構成するトランジスタの予備を予め半導体基板上に形成させておき、金属層の配線を形成する段階において遅延回路の回路構成を変えれば、マスクを修正することなく、製造プロセスに起因した回路特性のばらつき度合いに応じて遅延回路の遅延時間を可変させることができる。これにより、読み出し信号の検出誤りを低減させながら遅延時間を必要最小限に設定できるので、遅

延時間の間にメモリセルからセンス増幅器へ流れる電荷を少なくすることができ、消費電力を小さくすることができる。

【 0 0 4 8 】

また、本発明に用いられるトランジスタはMOSトランジスタに限定されるものではなく、他の種々のトランジスタを用いても本発明は実現可能である。

【 0 0 4 9 】

【発明の効果】

本発明によれば、閉じ込め式のセンス増幅器を用いながら、読み出し信号の検出誤りを低減することができる。これにより、記憶データの読み出し誤りが改善されるとともに、記憶装置の低消費電力化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るセンス増幅器の構成例を示す概略的なブロック図である。

【図 2】

図 1 に示すセンス増幅器における増幅回路の入力信号の変化を示す図である。

【図 3】

本発明の第 2 の実施形態に係る記憶装置の構成例を示す概略的なブロック図である。

【図 4】

図 3 のビット線信号処理部 3 0 に含まれるビット線回路の構成例を示す概略的なブロック図である。

【図 5】

読み出し動作時における図 4 に示したビット線回路の信号波形の一例を示す図である。

【図 6】

一般的な閉じ込め式のセンス増幅器の構成を示す概略的なブロック図である。

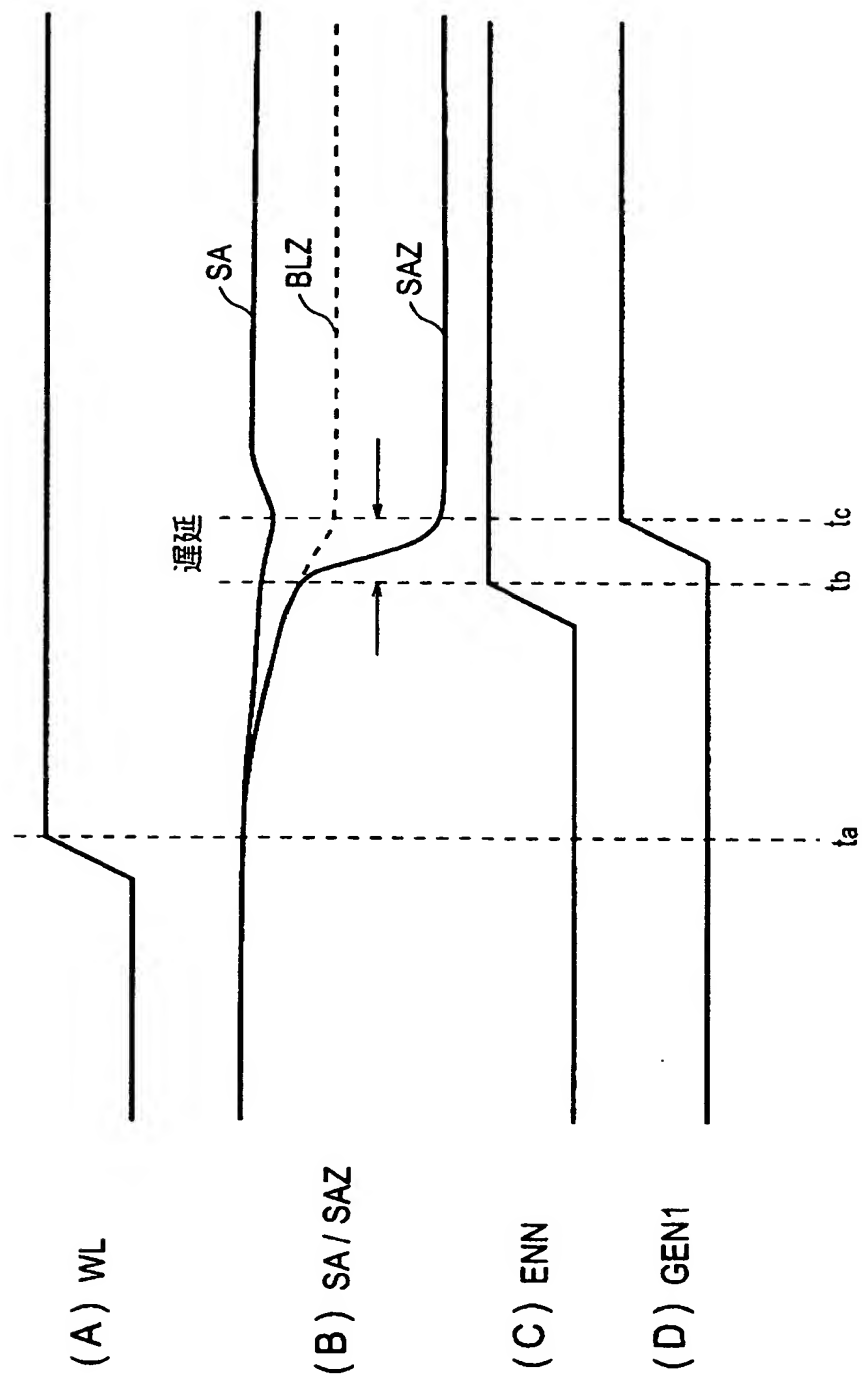
【図 7】

図 6 に示すセンス増幅器の入力信号の変化を示す図である。

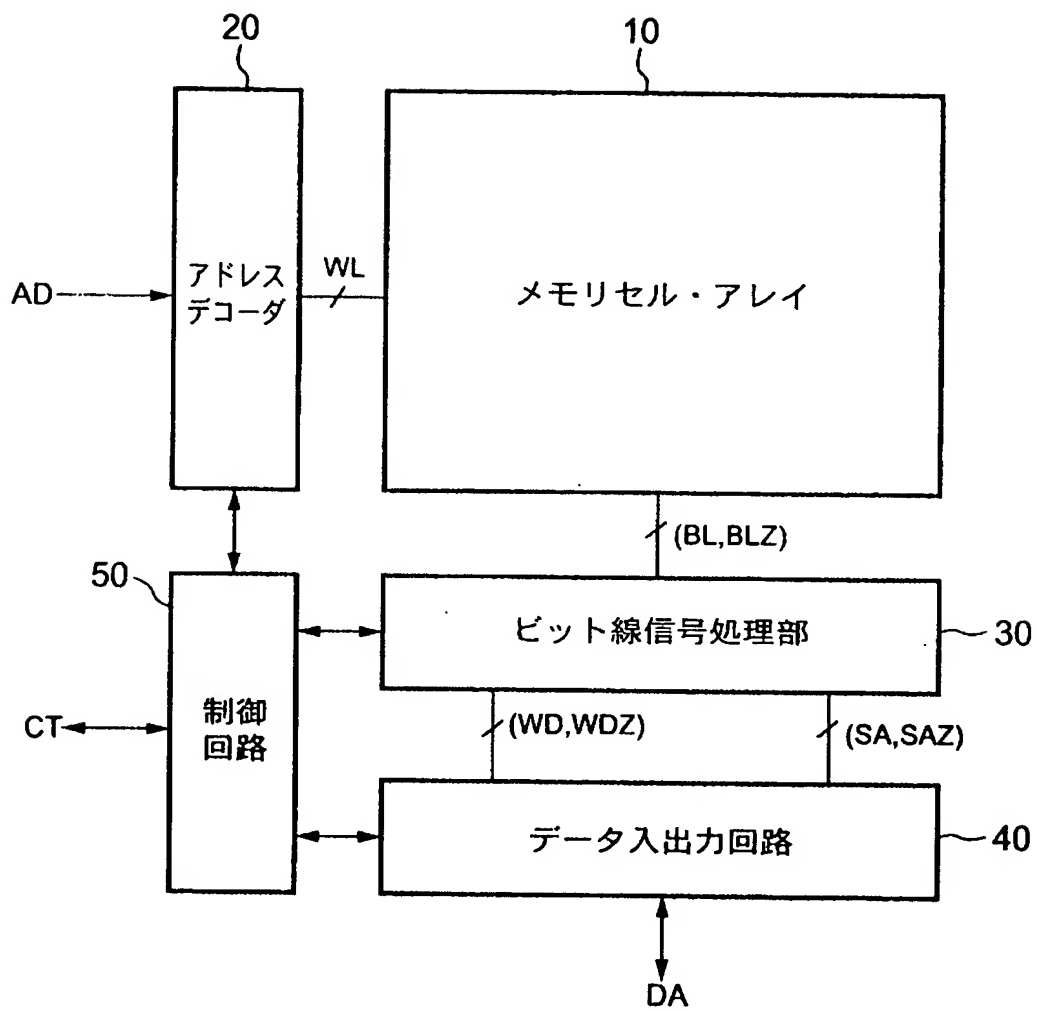
【符号の説明】

1 0 …メモリセル・アレイ、2 0 …アドレス・デコーダ、3 0 …ビット線信号
処理部、4 0 …データ入出力回路、5 0 …制御回路、 $Q_{p1} \sim Q_{p20}$ …p型M
OSトランジスタ、 $Q_{n1} \sim Q_{n17}$ …n型MOSトランジスタ、U 1 …遅延回
路、U 2 …NAND回路、 $INV1 \sim INV3$ …インバータ回路、 $BUF1 \sim B$
 $UF4$ …バッファ回路、 $R1 \sim R4$ …抵抗。

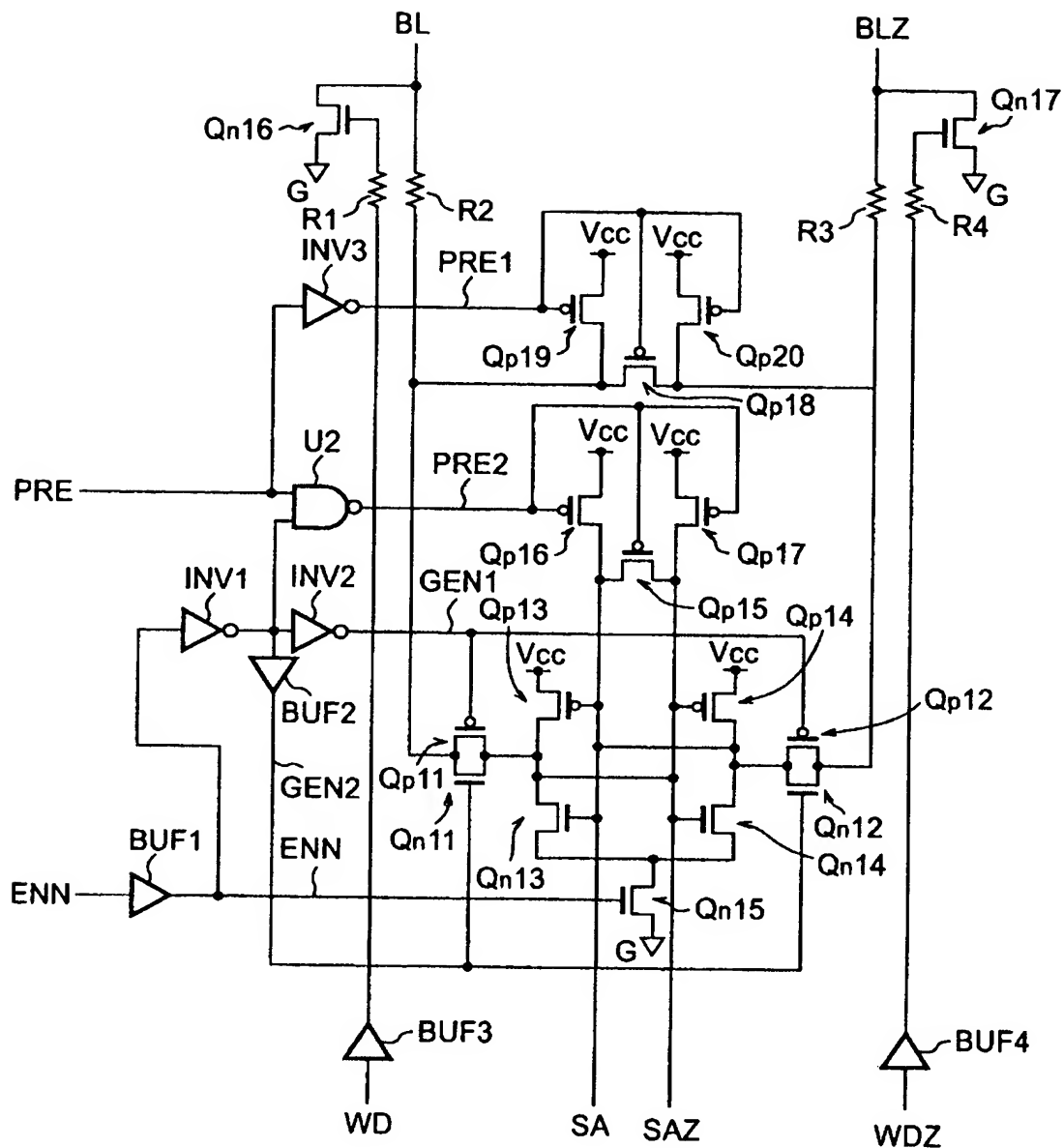
【図 2】



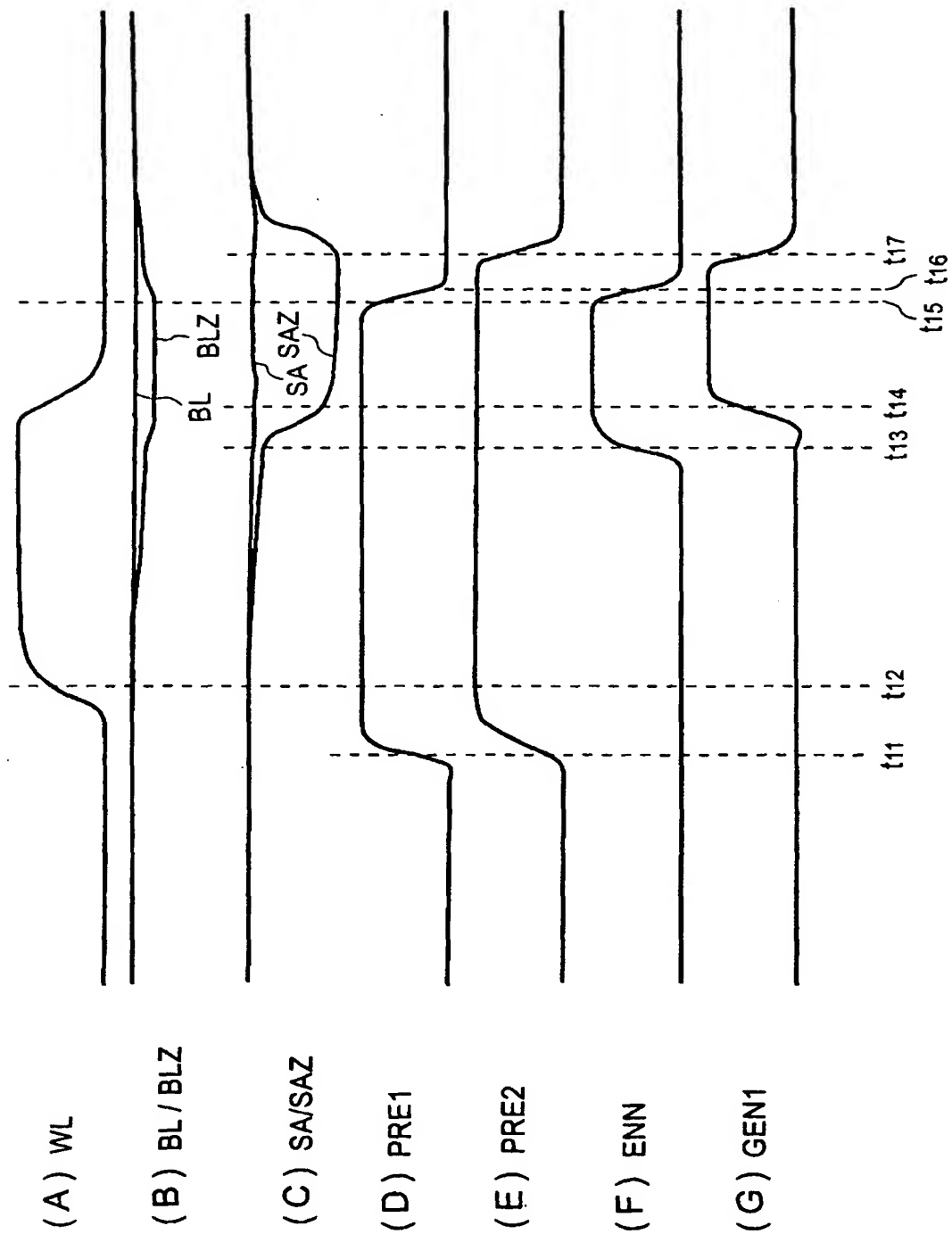
【図 3】



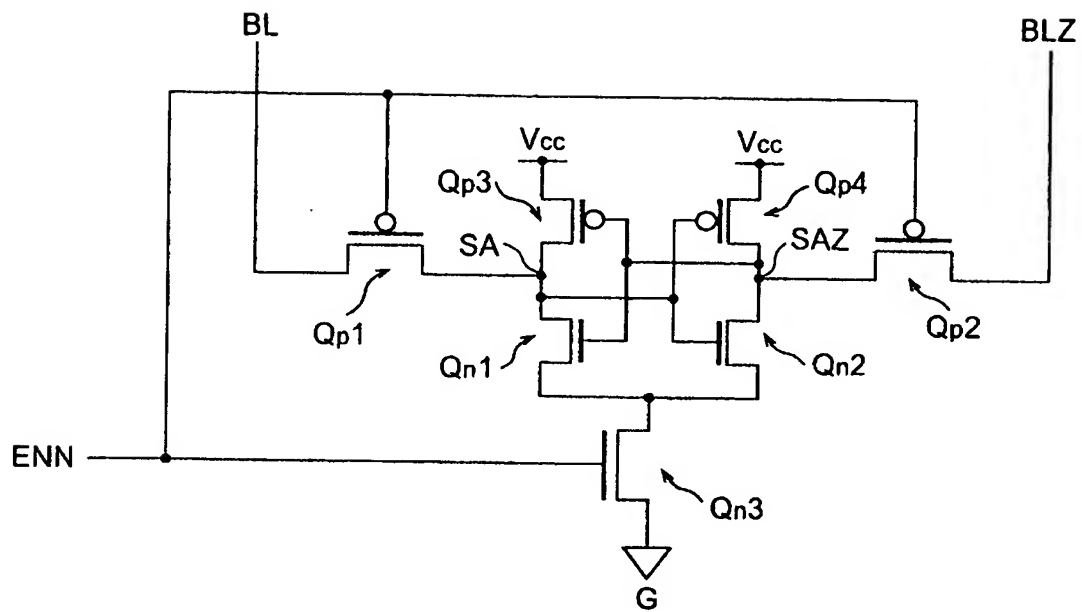
【図 4】



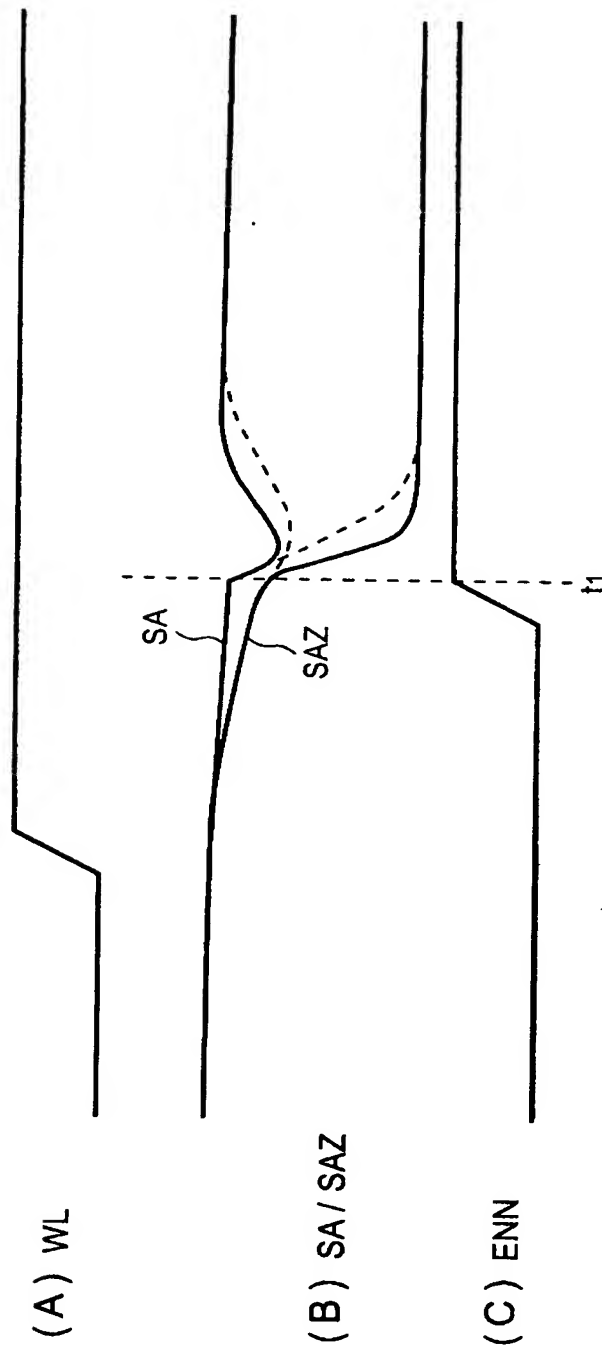
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】読み出し信号の検出誤りが小さく消費電力の少ないセンス増幅器、ビット線回路、記憶装置および読み出し信号の増幅方法を提供する。

【解決手段】ビット線（B L，B L Z）と増幅回路の入力端子（S A，S A Z）とがC M O Sスイッチ回路によって接続された状態で制御信号E N Nがハイレベルになると、増幅回路において読み出し信号の増幅が開始されるとともに、その増幅された信号が保持される。読み出し信号の増幅が開始され、遅延回路U 1による遅延時間が経過した後に、この遅延回路U 1から出力される制御信号G E N 1および制御信号G E N 2が変化し、ビット線と増幅回路との接続が開放される。したがって、増幅が開始される時点の僅かな電位差をビット線からの電流によって保ちつつ、増幅動作がある程度進んだ後でビット線と増幅回路とが切り離されるので、読み出し信号の検出誤りを生じ難くすることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [3 9 0 0 2 0 2 4 8]

1. 変更年月日 1 9 9 9 年 1 1 月 1 9 日

[変更理由] 住所変更

住 所 東京都新宿区西新宿六丁目 2 4 番 1 号

氏 名 日本テキサス・インスツルメンツ株式会社